

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-283658

(43)Date of publication of application : 23.10.1998

(51)Int.Cl. G11B 7/125
G11B 7/00
G11B 20/14

(21)Application number : 09-105357

(71)Applicant : RICOH CO LTD

(22)Date of filing : 09.04.1997

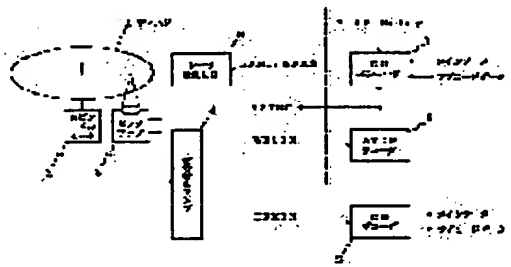
(72)Inventor : SHIGEMORI TOSHIHIRO

(54) RECORDING TIMING CONTROLLING CIRCUIT OF OPTICAL DISK DRIVING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the chance of having impossibility in reproducing write once recorded information by initializing the phase of a pregroove synchronization signal detection timing and a write once data synchronization signal insertion timing to a prescribed shape in accordance with a variable setting value.

SOLUTION: A CD encoder 7 EFM modulates the main data and the subcode data, in which recordings are conducted, and outputs recording patterns EFM1 and EFM2. In this case the encoder 7 initializes the EFM output timing by the ATIP synchronization detection signal ASYNC from an ATIP decoder 6 prior to a recording start target time. The insertion timing of the subcode frame synchronization signal after the initialization is constituted so that it is made variable in accordance with an ATIP delay setting value ATIP Delay. Thus, the positional deviation between the ATIP synchronization signal and the subcode frame synchronization signal included in write once recorded information is prevented and reproducing impossibility is eliminated.



LEGAL STATUS

[Date of request for examination] 23.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平10-283658

(43)公開日 平成10年(1998)10月23日

(51) Int.Cl.⁸

識別記号

FI

G 1 1 B 7/125
7/00
20/14

3 5 1

G 1 1 B 7/125
7/00
20/14

C
L
3 5 1 Z

審査請求 未請求 請求項の数2 FD (全 10 頁)

(21)出願番号

特種平9-105357

(22) 出願日

平成9年(1997)4月9日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 重森 俊宏

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

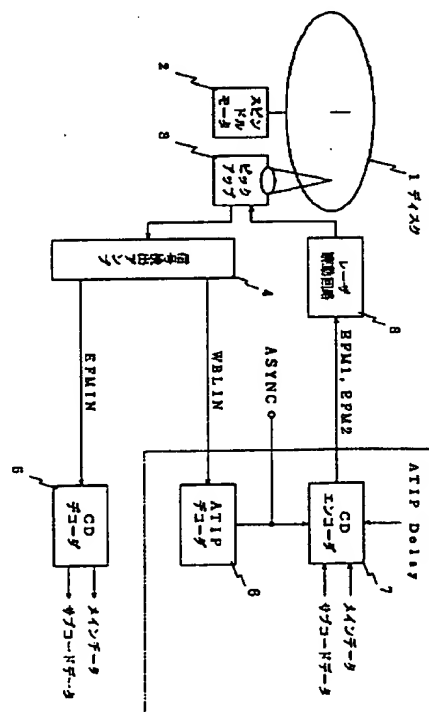
(74) 代理人 弁理士 宮川 俊崇

(54)【発明の名称】 光ディスク駆動装置の記録タイミング制御回路

(57) 【要約】

【課題】 従来、実際のディスク上のA T I P同期信号位置より遅くなると、サブコードフレーム同期信号の挿入位置に遅れが生じて、再生が不可能になる。この発明では、A T I P同期信号とサブコードフレーム同期信号との位置ズレを防止することにより、A T I P時間情報の信頼性を向上させ、追記された記録情報の再生不能が生じないようにする。

【解決手段】 アリグループ情報検出手段と、記録データ情報を変調して所定位置に追記データ同期信号を挿入し、記録パターンを出力するエンコード手段とを備えた光ディスク駆動装置の記録タイミング制御回路において、エンコード手段の変調タイミング、追記データ同期信号挿入タイミングを制御する変調タイミング制御手段を設け、記録直前のアリグループ同期信号の検出時に、アリグループ同期信号検出タイミングと追記データ同期信号挿入タイミングとの位相を可変可能な設定値に応じて所定位相に初期化する。



【特許請求の範囲】

【請求項1】 記録可能な光ディスク上のトラックにレーザビームを照射して、情報の記録再生を行う光ディスク駆動装置であり、
光ディスク上のプリグループにウォブル記録されたプリグループ情報から、プリグループ同期信号を検出するプリグループ情報検出手段と、

記録データ情報を変調して、所定位置に追記データ同期信号を挿入し、記録パターンを出力するエンコード手段、

とを備えた記録タイミング制御回路において、
エンコード手段の変調タイミング、追記データ同期信号挿入タイミングを制御する変調タイミング制御手段を備え、

前記変調タイミング制御手段によって、記録直前のプリグループ同期信号の検出時に、プリグループ同期信号検出タイミングと追記データ同期信号挿入タイミングとの位相を、可変可能な設定値に応じて所定位相に初期化することを特徴とする光ディスク駆動装置。

【請求項2】 請求項1の光ディスク駆動装置において、

プリグループ情報検出手段は、

所定周波数のクロックを動作クロックとして、入力されるウォブル信号にロックし、ウォブル信号周波数を逡倍したクロック信号と入力されるウォブル信号の周波数変調成分の復調信号とを出力する第1のデジタルPLL回路と、

前記第1のデジタルPLL回路から出力される逡倍クロック信号をサンプリングクロックとして動作し、第1のデジタルPLL回路から出力される復調信号の高周波ノイズ成分を除去するデジタルフィルタと、

前記第1のデジタルPLL回路から出力される逡倍クロック信号を動作クロックとして、前記デジタルフィルタの出力信号をロックし、復号クロックを出力する第2のデジタルPLL回路と、

前記第2のデジタルPLL回路から出力される復号クロックをサンプリングクロックとして動作し、前記デジタルフィルタの出力信号からプリグループ情報中の同期信号を抽出する同期検出回路とを備えたことを特徴とする光ディスク駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、記録が可能なCD-Rディスクや書き換え可能なCD-RWディスクなどを駆動する光ディスク駆動装置に係り、特に、光ディスク駆動装置における記録タイミング制御回路に関する。

【0002】

【従来の技術】CD（コンパクトディスク）の一種として、CD-R（CDレコーダブル：1回だけ記録が可

能）ディスクやCD-RW（CDリライタブル：複数回の記録が可能、またCD-E：CDイレーザブルとも呼ばれている）ディスクが知られている。これらのCD-RディスクやCD-RWディスク（以下、CD-R/RWディスクと略称する）では、情報追記用のガイドトラックとして、プリグループが形成されている。このプリグループは、22.05kHzを中心周波数として左右に正弦波状にウォプリング（蛇行）している。また、このプリグループは、1セクタ毎の時間情報を示す時間コードに対応して、22.05kHzを中心に±1kHzの変調度でFM変調がかけられている。

【0003】そのため、ウォプリング周波数をFM復調することによって、時間情報を示す時間コードが得られる。このプリグループのウォプリング信号によって記録されている時間情報は、ATIP（Absolute time in pregroove）と呼ばれている。ATIPには、時間情報の他に、ATIP同期信号、CRCコードが含まれている。ここで、ATIPフレームのフォーマットについて説明する。

【0004】図6は、ATIPフレームのフォーマットについて、そのフレーム構成の一例を示す図である。

【0005】この図6に示すように、ATIPフレームは、同期信号（Sync）、分（Minutes）、秒（Seconds）、フレーム（Frames）、CRCコード（CRC remainder）から構成されている。なお、分（Minutes）、秒（Seconds）、フレーム（Frames）のデータは、MSF（Minute Second Frame）データとも呼ばれる。また、ATIP同期信号は、次の図7に示すようなパターンから構成されている。

【0006】図7は、ATIP同期信号について、パターンの一例を示す図である。

【0007】ATIP同期信号（Sync）のパターンは、cell=0のときは、この図7にチャンネルビットとして示したように、「11101000」であり、同期信号は、図7のような信号波形（パターン）になる。なお、cell=1のときは、「00010111」とされる。CD-R/RWディスクに情報を記録可能なドライブ装置（以下、CD-R/RWドライブと略称する）では、このATIPを検出して、現在のセクタの時間情報を検出し、情報の記録開始セクタを判断する。このCD-R/RWディスクに追記される記録情報は、CD（コンパクトディスク）のフォーマットと同じである。そして、CDにおいては、記録情報中に、サブコードフレーム同期信号が記録される。

【0008】ここで、CD-R/RWディスクのプリグループ中に含まれるATIP同期信号と、追記される記録情報中に含まれるサブコードフレーム同期信号との位置関係について説明する。CD-Rディスクの規格書として知られるオレンジブックのパート2には、ATIP

同期信号と、追記される記録情報中に含まれるサブコードフレーム同期信号との位置ズレが ± 2 EFMフレーム以内となるように規定されている。

【0009】図8は、CD-R/RWディスクのアリグループ中に含まれるATIP同期信号と、追記される記録情報中に含まれるサブコードフレーム同期信号との位置関係を示す図である。

【0010】この図8にSubcode syncとして示されるように、ATIP同期信号(sync)と、サブコードフレーム同期信号(Subcode sync)との位置ズレは、 0 ± 2 EFMフレームとされている。この2つの同期信号の位置ズレが大きくなると、記録済み領域の後の未記録領域に、さらに情報を追記した場合などに、記録情報の重なり部が大きくなり、再生が不可能になってしまう。また、逆に記録情報間に大きな隙間が生じると、同期検出が不能になり、同様に、再生が不可能になる、という不都合がある。従来の記録タイミング制御回路は、次の図9に示すような構成である。

【0011】図9は、従来のCD-R/RWドライブにおける記録タイミング制御回路について、その要部構成の一例を示す機能ブロック図である。図において、41はEFMエンコーダ、42はATIPデコーダを示し、EFMは記録パターン、SUBSYNCはサブコードフレーム同期信号挿入タイミング信号、EXTSYNCは同期要求信号、EXTACKは同期完了信号、ATIP SYNCはATIP同期検出信号、BICLKINはバイフェーズクロック、BIDATAINはバイフェーズデータを示す。

【0012】ATIPデコーダ42には、外部のFM復調回路によってアリグループのウォブリグ信号がFM復調されたバイフェーズデータBIDATAINと、同じく外部のクロック抽出回路によって、このバイフェーズデータBIDATAINから抽出されたバイフェーズクロックBICLKINとが入力される。ATIPデコーダ42は、バイフェーズデータBIDATAINと、バイフェーズクロックBICLKINとから、ATIP中の時間情報と、ATIP同期信号の検出を行う。ATIP同期信号が検出されると、ATIP同期検出信号ATIP SYNCが出力される。

【0013】EFMエンコーダ41は、記録データを所定のCDフォーマットに変調し、記録パターンEFMを出力する。また、EFMエンコーダ41は、この記録パターンEFM中に、サブコードフレーム同期信号の挿入も行う。この場合に、サブコードフレーム同期信号の挿入タイミングで、サブコードフレーム同期信号挿入タイミング信号SUBSYNCを出力する。次に、情報の記録に先立って行われるEFMエンコーダ41のタイミング初期化について説明する。

【0014】図10は、図9に示した記録タイミング制御回路において、EFMエンコーダ41のタイミング初

期化の動作を説明するタイミングチャートである。図の各信号波形に付けられた符号は、図9の符号位置に対応している。

【0015】CD-R/RWドライブでは、情報の記録を開始する前に、サブコードフレーム同期信号の挿入タイミングを、先の図8に示したATIP同期信号(ATIP sync)に対するサブコードフレーム同期信号(Subcode sync)の位置ズレが所定範囲となるように初期化するために、外部回路から、図10に示すように、EFMエンコーダ41に対して同期要求信号EXTSYNCを入力する。なお、図10では、同期要求信号EXTSYNCに「-」を付けているが、この「-」はローレベルの期間が同期要求信号の発生期間であることを示している。

【0016】EFMエンコーダ41は、この同期要求信号EXTSYNCが入力されると、次にATIP同期信号を検出した直後、例えばATIP同期検出信号ATIP SYNCの出力から1EFMフレーム以内に、サブコードフレーム同期信号が挿入されるように、サブコードフレーム同期信号挿入タイミング信号SUBSYNCを出力する。このようにして、EFMエンコーダ41のタイミングの初期化が行われる。タイミングの初期化が行われると、EFMエンコーダ41は、同期完了信号EXTACKを出力する。図9に示した記録タイミング制御回路は、以上のような構成であり、ATIP同期信号の検出から、サブコードフレーム同期信号の挿入までのタイミングは固定されている。

【0017】ここで、この発明の光ディスク駆動装置に関連する従来の技術について、説明する。まず、従来の技術としては、CD-Rディスクにおけるアリグループのウォブリグから上述したような付帯情報を検出する回路が知られている(例えば特開平6-290462号公報)。この付帯情報の検出回路は、周知の技術である。次に、デジタルオーディオ機器等のデジタルシステムで使用される位相同期回路、いわゆるデジタルPLLも、従来から知られている(例えば特開平2-3137号公報)。この位相同期回路(デジタルPLL)は、位相比較器とデジタル積分器と可変分周器とから構成されている。そして、位相比較器で入力信号とPLLの再生クロックとの位相比較を行い、得られた位相誤差信号をデジタル積分器で積分し、この積分値に応じて、可変分周器の分周比を決定するようにしている。以下の説明では、デジタルPLLを第1の従来技術という。

【0018】さらに、従来の技術として、デジタルフィルタとして、FIR(Finite Impulse Response)フィルタも知られている(例えば特開平2-50363号公報)。このFIRフィルタは、フィルタリング演算に利用されるmビットパラレルの遅延素子、乗算器、アキュムレータで構成されている。そして、遅延素子は、データラッチ信号の立ち上がりエッジ

でデータをラッチする。乗算器の出力を加算するアキュムレータの出力には、その演算結果がnビットで出力される構成である。以下の説明では、FIRフィルタを第2の従来技術という。

【0019】

【発明が解決しようとする課題】先の従来技術で説明したように、従来の記録タイミング制御回路は、ATIP同期信号の検出から、サブコードフレーム同期信号の挿入までのタイミングは固定されている。そのため、FM復調回路のバイフェーズデータ出力遅延時間、ATIPデコーダのATIP同期信号検出の遅延時間等によって、ATIP同期信号検出のタイミングが、実際のディスク上のATIP同期信号位置より遅くなると、サブコードフレーム同期信号の挿入位置に遅れが生じ、先の図8に示したような位置関係を保持することができなくなる。したがって、先に述べたように、記録済み領域の後の未記録領域に、さらに情報を追記した場合などに、記録情報の重なり部が大きくなり、再生が不可能になってしまう。また、逆に記録情報間に大きな隙間が生じると、同期検出が不能になり、同様に、再生が不可能になる、という不都合があった。

【0020】この発明では、CD-R/RWディスクのアリググループ中に含まれるATIP同期信号と、追記される記録情報中に含まれるサブコードフレーム同期信号との位置ズレを防止することにより、ATIP時間情報の信頼性を向上させて、追記された記録情報の再生不能が生じないようにすることを課題とする（請求項1の発明）。また、ディスクの回転変動や偏心の影響によって、ウォブル信号の中心周波数が変動した場合でも、バイフェーズデータに対して、定常位相差の少ないバイフェーズクロックを発生させることができるようにして、ATIPデコードエラーの発生を少なくすることにより、ATIP時間情報の信頼性を向上させることを課題とする（請求項2の発明）。

【0021】

【課題を解決するための手段】請求項1の発明は、記録可能な光ディスク上のトラックにレーザビームを照射して、情報の記録再生を行う光ディスク駆動装置であり、光ディスク上のアリググループにウォブル記録されたアリググループ情報から、アリググループ同期信号を検出するアリググループ情報検出手段と、記録データ情報を変調して所定位置に追記データ同期信号を挿入し、記録パターンを出力するエンコード手段とを備えた記録タイミング制御回路において、エンコード手段の変調タイミング、追記データ同期信号挿入タイミングを制御する変調タイミング制御手段を設け、この変調タイミング制御手段によって、記録直前のアリググループ同期信号の検出時に、アリググループ同期信号検出タイミングと追記データ同期信号挿入タイミングとの位相を可変可能な設定値に応じて所定位相に初期化するようにしている。

【0022】請求項2の発明は、請求項1の光ディスク駆動装置において、アリググループ情報検出手段は、所定周波数のクロックを動作クロックとして、入力されるウォブル信号にロックし、ウォブル信号周波数を逡倍したクロック信号と入力されるウォブル信号の周波数変調成分の復調信号とを出力する第1のデジタルPLL回路と、第1のデジタルPLL回路から出力される逡倍クロック信号をサンプリングクロックとして動作し、第1のデジタルPLL回路から出力される復調信号の高周波ノイズ成分を除去するデジタルフィルタと、第1のデジタルPLL回路から出力される逡倍クロック信号を動作クロックとして、デジタルフィルタの出力信号をロックし、復号クロックを出力する第2のデジタルPLL回路と、第2のデジタルPLL回路から出力される復号クロックをサンプリングクロックとして動作し、デジタルフィルタの出力信号からアリググループ情報中の同期信号を抽出する同期検出回路とを設けている。

【0023】

【発明の実施の形態】

第1の実施の形態

この第1の実施の形態は、請求項1の発明に対応しているが、請求項2の発明にも関連しており、請求項1の発明が基本発明である。この第1の実施の形態は、FM復調回路のバイフェーズデータ出力遅延時間、ATIPデコーダのATIP同期信号検出遅延時間に応じて、ATIPディレイ設定値を適切な値に設定することにより、EFM出力タイミングの初期化を行う際の位相を調整可能にした点に特徴を有している。

【0024】図1は、この発明の光ディスク駆動装置について、その要部構成の実施の形態の一例を示す機能ブロック図である。図において、1はディスク、2はスピンドルモータ、3はピックアップ、4は信号検出アンプ、5はCDデコーダ、6はATIPデコーダ、7はCDエンコーダ、8はレーザ駆動回路を示し、EFMINはCDデコーダ5へ入力される再生信号、WBLINはATIPデコーダ6へ入力されるウォブル信号、ASYNCはATIP同期検出信号、EFM1、EFM2は記録パターン、ATIP DelayはATIPディレイ設定値を示す。

【0025】この図1に示したディスク1は、CD-R/RWディスクで、すでに説明したように、アリググループのウォブリングによって、図6に示したようなフォーマットによるATIPが記録されている。光ディスク駆動装置は、従来と同様に、ディスク1を支持・回転させるスピンドルモータ2と、ディスク1にレーザビームを照射して、ディスク1からの反射光を受光するピックアップ3と、このピックアップ3を移動させる図示しない移動制御系を備えている。ピックアップ3は、レーザビームをディスク1上のトラックに照射し、情報の記録再生を行う。レーザ駆動回路8は、情報の記録時に、CD

エンコーダ7から出力される記録信号に応じて、ピックアップ3のレーザを記録パワーで駆動する。また、情報の再生時には、レーザ駆動回路8は、レーザを再生パワーで駆動する。

【0026】再生時には、信号検出アンプ4は、ピックアップ3がディスク1から検出した反射光信号を増幅し、ディスク1上に記録された情報を再生した信号(再生信号EFM)と、プリグループのウォブリングを検出した信号(ウォブル信号WBL)とを出力する。一方の再生信号(EFM)は、CDデコーダ5へ入力され、メインデータとサブコードデータとして出力される。他方、ウォブル信号(WBL)は、ウォブル信号WBLINとして、ATIPデコーダ6へ入力される。ATIPデコーダ6では、このウォブル信号WBLINをFM復調して、バイフェーズデータ(図9のBIDATAINに相当)を検出し、バイフェーズデータからバイフェーズクロック(図9のBICKLINに相当)を抽出する。そして、バイフェーズデータとバイフェーズクロックとから、ATIP中の時間情報とATIP同期信号の検出を行う。ATIPデコーダ6は、ATIP同期信号を検出すると、ATIP同期検出信号ASyncを出力する。

【0027】また、記録時には、CDエンコーダ7は、入力された記録データのメインデータとサブコードデータを、所定のCDフォーマットに変調し、記録パターンEFM1、EFM2を生成してレーザ駆動回路8へ出力する。次に、CDエンコーダ7について、詳しく説明する。

【0028】図2は、図1に示したCDエンコーダ7について、その要部構成の実施の形態の一例を示す機能ブロック図である。図における符号は図1と同様であり、11はクロックジェネレータ、12はクロックシンセサイザ、13はEFM出力タイミング制御回路、14はエンコードスタート制御回路、14aは比較器、14bは現在時間レジスタ、14cは目標時間レジスタ、14dはセクタ、14eはATIP時間レジスタ、14fはサブQ時間レジスタ、15はEFMエンコーダ、15aはストラテジ変換部、15bは加算器、15cはセクタ、15dはEFMフレームシンクパターン部、15eはEFM変調部、15fはセクタ、15gはマージンビット部を示す。

【0029】エンコード用のクロック(エンコードクロック)は、クロックジェネレータ11と、クロックシンセサイザ12とによって生成される。エンコードスタート制御回路14は、ATIPデコーダ6によって検出され、ATIP時間レジスタ14eに保持されているATIP時間(ATIP time)の情報と、目標時間レジスタ14cに保持され、記録開始目標時間を示す時間情報(Target time)とから、記録開始位置を検出する。比較器14aには、情報の記録開始目標時

間(Target time)と、セクタ14dによって選択された現在時間(Current time)とが入力される。比較器14aでは、この記録開始目標時間と現在時間とを比較し、これらが一致すると、EFM出力タイミング制御回路13へ一致検出信号を出力する。EFM出力タイミング制御回路13は、この一致検出信号を受け取ると、EFMエンコーダ15に対して記録開始信号を出力する。

【0030】EFMエンコーダ15は、記録を行うメインデータとサブコードデータをEFM変調し、記録パターンEFM1、EFM2を出力する。この場合に、EFM出力タイミング制御回路13によって制御されるタイミングで、EFMフレーム同期信号、サブコードフレーム同期信号(S0、S1)の挿入を行う。EFM出力タイミング制御回路13は、記録開始目標時間の手前で、ATIPデコーダ6から出力されるATIP同期検出信号ASyncによって、EFM出力タイミングの初期化を行う。初期化後のサブコードフレーム同期信号の挿入タイミングは、ATIPディレイ設定値ATIP Delayに応じて可変可能に構成されている。要約すれば、図3に示したEFM出力タイミング制御回路13において、EFM出力タイミングの初期化の際に、遅れ時間ATIP Delayに相当する分のカウント値を、98進カウンタ22にロードするようにしている。次に、EFM出力タイミング制御回路13について、詳しく説明する。

【0031】図3は、図1に示したEFM出力タイミング制御回路13について、その要部構成の実施の形態の一例を示す機能ブロック図である。図における符号は図1と同様であり、21は588進カウンタ、22は98進カウンタ、23はデコーダ、24はアンドゲート回路を示す。

【0032】588進カウンタ21は、エンコードクロックによって、588カウント周期のカウントを行う。この1周期は、1EFMフレーム分の周期に相当する。また、98進カウンタ22は、588進カウンタ21が一巡する毎にカウントを行い、98カウント周期のカウントを行う。この1周期は、1サブコードフレーム分の周期に相当する。デコーダ23は、588進カウンタ21と98進カウンタ22のカウント値をデコードし、サブコードフレーム同期信号挿入制御信号、EFMフレーム同期信号挿入制御信号などのタイミング信号を出力する。

【0033】図3に示したEFM出力タイミング制御回路13には、記録開始目標時間の手前で、ロードイネーブル信号がイネーブルされ、ATIPデコーダ6から出力されるATIP同期検出信号ASyncによって、ATIPディレイ設定値ATIP Delayが、588進カウンタ21および98進カウンタ22にロードされる。その後は、ロードイネーブル信号がディスイネーブ

ルされ、588進カウンタ21および98進カウンタ22は、そのカウント周期でカウントを行う。

【0034】図4は、図3に示したEFM出力タイミング制御回路13において、EFM出力タイミングの初期化を行う際の動作を説明するタイミングチャートで、(1)はディスク1上のATIP同期信号、(2)はATIPデコーダ6によって検出されたATIP同期検出信号、(3)は98進カウンタ22に値「0」がロードされたときの98進カウンタ22のカウント値とサブコードフレーム同期信号挿入制御信号、(4)は98進カウンタ22に値「4」がロードされたときの98進カウンタ22のカウント値とサブコードフレーム同期信号挿入制御信号を示す図である。図における符号は図3と同様であり、①と②はATIP同期検出信号の検出タイミング、AとBはサブコードフレーム同期信号挿入制御信号の発生時間の遅れを示す。

【0035】ディスク1上には、図4(1)に示すような位置にATIP同期信号が記録されているとする。一方、ATIPデコーダ6のATIP同期検出信号ASYNCの出力タイミングは、先に述べたように、FM復調回路のバイフェーズデータ出力遅延時間や、ATIPデコーダ6のATIP同期信号検出の遅延時間等によって、図4(2)に示したように、実際のディスク1上のATIP同期信号位置よりも遅くなる。例えば①と②で示したように、時間ATIP Delayだけ遅れて、ATIP同期検出信号が検出される。

【0036】そして、初期化の際に、98進カウンタ22に値「0」をロードしたとき（従来と同じ場合）には、図4(2)のATIP同期検出信号が検出された①のタイミングで、図4(3)に示したように、98進カウンタ22のカウント値が「0」であり、サブコードフレーム同期信号挿入制御信号が発生される。この関係は、図4(2)のATIP同期検出信号が検出される②のタイミングにおいても同様であり、ATIP同期検出信号ASYNCの発生後になる。したがって、サブコードフレーム同期信号の記録位置は、図4(3)にAで示したように、実際のディスク1上のATIP同期信号に対して、カウント値「4」の時間分だけ遅れてしまう。

【0037】これに対して、図4(4)に示したように、初期化の際に、98進カウンタ22に値「4」をロードしたときは、図4(2)のATIP同期検出信号が検出された①のタイミングでは、98進カウンタのカウント値が「4」であるから、サブコードフレーム同期信号挿入制御信号は発生されない。そして、98進カウンタのカウント値は、図4(1)に示したように、ディスク1上で、次のATIP同期信号が記録された位置の終端で「0」となる。したがって、サブコードフレーム同期信号挿入制御信号の出力タイミングは、図4(4)に示したように、ATIP同期検出信号が検出される②のタイミングの発生前になり、サブコードフレーム同期信号の記

録位置を、図4(4)にBで示したように、実際のディスク1上のATIP同期信号とほぼ一致させることができる。

【0038】以上のように、この第1の実施の形態では、FM復調回路のバイフェーズデータ出力遅延時間、ATIPデコーダのATIP同期信号検出遅延時間に応じて、ATIPディレイ設定値(ATIP Delay)を適切な値に設定することにより、EFM出力タイミングの初期化を行う際の位相を調整することができるようにしている。すなわち、サブコードフレーム同期信号の記録位置と、実際のディスク1上のATIP同期信号とほぼ一致させることが可能になる。したがって、C-D-R/RWディスクのプリグループ中に含まれるATIP同期信号と、追記される記録情報中に含まれるサブコードフレーム同期信号との位置ズレを防止することが可能になる。

【0039】第2の実施の形態

この第2の実施の形態は、請求項2の発明に対応しているが、請求項1の発明にも関連しており、請求項1の発明の改良発明に相当する。先の第1の実施の形態では、FM復調回路のバイフェーズデータ出力遅延時間、ATIPデコーダのATIP同期信号検出遅延時間に応じて、ATIPディレイ設定値(ATIP Delay)を適切な値に設定することにより、EFM出力タイミングの初期化を行う際の位相を調整する場合について説明した。この第2の実施の形態では、プリグループ情報検出手段として、デジタルフィルタのサンプリングを第1の通倍クロック信号によって行うことにより、ウォブル信号の中心周波数が変動したとき、これに比例してデジタルフィルタのカットオフ周波数を変化させる点に特徴を有している。

【0040】図5は、この発明の光ディスク駆動装置について、第2の実施の形態によるATIPデコーダ周辺回路の要部構成の実施の形態の一例を示す機能ブロック図である。図における符号は図1と同様であり、31はウォブルPLL、32はデジタルフィルタ、33はATIP-PLL、34はATIPデコーダを示し、FMOはFM復調信号、MCKはマスタークロック、fsCKは第1の通倍クロック、fs*8CKは第2の通倍クロック、ATIPOはバイフェーズデータ、ATIPCLKはバイフェーズクロック、MSF DataはATIP(MSF)データを示す。

【0041】ウォブルPLL31は、その出力クロックの位相がウォブル信号にロックするように構成されたデジタルPLLからなり、ウォブル信号に含まれているFM変調成分を復調して、FM復調信号FMOを出力する。なお、デジタルPLLは、第1の従来技術として説明したように、従来から知られている。また、出力クロックの通倍クロック信号として、第1の通倍クロック(fsCK)と、第2の通倍クロック(fs*8CK)

とを出力する。第1の通倍クロック(f_{sCK})の周波数は、ウォブル信号の基本周波数である22.05kHzの2倍の44.1kHzである。他方、第2の通倍クロック(f_{s*8CK})は、第1の通倍クロック(f_{sCK})の8倍の352.8kHzである。

【0042】FM復調信号FMOは、デジタルPLLからなるウォブルPLL31の位相比較器出力から、また、通倍クロック信号は、ループ中に挿入された固定分周器の入力クロックから得られることが知られている。ウォブルPLL31は、ウォブル信号にロックして動作するため、ディスクの回転変動や偏心の影響によって、ウォブル信号の中心周波数が変動した場合には、出力されている第1の通倍クロック(f_{sCK})と、第2の通倍クロック(f_{s*8CK})の中心周波数が、ウォブル信号の中心周波数の変動に比例して変化する。次段のデジタルフィルタ32は、第1の通倍クロック(f_{sCK})によってFM復調信号FMOをサンプリングし、FM復調信号に含まれる高周波ノイズを除去する。このデジタルフィルタ32としては、先に第2の従来技術として説明したように、FIR(Finite Impulse Response)フィルタが知られている。デジタルフィルタ32においてノイズが除去されたFM復調信号は、2値化され、バイフェーズデータATIPOとして出力される。

【0043】デジタルフィルタ32のサンプリングは、第1の通倍クロック(f_{sCK})によって行われるため、ウォブル信号の中心周波数が変動すると、これに比例してデジタルフィルタ32のカットオフ周波数も変化する。その結果、ディスクの回転変動や偏心の影響によって、ウォブル信号の中心周波数が変動した場合でも、カットオフ周波数は常に最適値に調整される。また、ATIP-PLL33には、バイフェーズデータATIPOが入力されており、このバイフェーズデータにロックしたバイフェーズクロックATIPCLKを出力する。

【0044】このATIP-PLL33も、デジタルPLLで構成される。ATIP-PLL33は、第2の通倍クロック(f_{s*8CK})を動作クロックとする。そのため、ウォブル信号の中心周波数が変動した場合には、これに比例してATIP-PLL33の自走クロック周波数も変化する。したがって、ディスクの回転変動や偏心の影響によって、ウォブル信号の中心周波数が変動した場合でも、バイフェーズデータに対して、定常位相差の少ないバイフェーズクロックATIPCLKを発生させることができる。ATIPデコード34は、バイフェーズデータATIPOとバイフェーズクロックATIPCLKを入力し、従来のATIPデコード(ATIPディテクタ)と同様に、ATIP中の時間情報と、ATIP同期信号の検出を行う。ATIP同期信号が検出されると、ATIP同期検出信号ATIPSYNCを出力する。

【0045】以上のように、この第2の実施の形態では、先の第1の実施の形態で説明した記録タイミング制御回路において、デジタルフィルタのサンプリングを第1の通倍クロック信号によって行うことにより、ウォブル信号の中心周波数が変動したときには、これに比例してデジタルフィルタのカットオフ周波数も変化するようになっている。したがって、ディスクの回転変動や偏心の影響によって、ウォブル信号の中心周波数が変動した場合でも、デジタルフィルタのカットオフ周波数は常に最適値に調整される。また、ATIPのPLL回路は、第2の通倍クロック信号を動作クロックとしているので、ウォブル信号の中心周波数が変動したときには、これに比例してATIPのPLL回路の自走クロック周波数も変化する。その結果、ディスクの回転変動や偏心の影響によって、ウォブル信号の中心周波数が変動した場合でも、バイフェーズデータに対して、定常位相差の少ないバイフェーズクロックを発生させることができる。以上に述べた第2の実施の形態と、先の第1の実施の形態による記録タイミング制御回路とを比べると、第2の実施の形態によれば、第1の実施の形態と同様の効果に加えて、ATIPデコードエラーの発生が少なくなるので、ATIP時間情報の信頼性が向上されることになる。

【0046】

【発明の効果】請求項1の光ディスク駆動装置の記録タイミング制御回路では、FM復調回路のバイフェーズデータ出力遅延時間、ATIPデコードのATIP同期信号検出遅延時間に応じて、ATIPディレイ設定値を適切な値に設定することにより、EFM出力タイミングの初期化を行う際の位相を調整することができるようになっている。したがって、CD-R/RWディスクのアプリューブ中に含まれるATIP同期信号と、追記される記録情報中に含まれるサブコードフレーム同期信号との位置ズレを防止することが可能になる。その結果、従来の制御回路においては、記録済み領域の後の未記録領域にさらに情報を追記した場合などに、記録情報の重なり部が大きくなることによって、再生が不可能になったり、逆に、記録情報間に隙間ができるため、同期検出が不能になって、再生が不可能になったりする、という不都合が解消される。

【0047】請求項2の光ディスク駆動装置の記録タイミング制御回路では、請求項1の記録タイミング制御回路において、デジタルフィルタのサンプリングを、第1の通倍クロック信号によって行うので、ウォブル信号の中心周波数が変動したときには、これに比例してデジタルフィルタのカットオフ周波数も変化するようになっている。そのため、ディスクの回転変動や偏心の影響によって、ウォブル信号の中心周波数が変動した場合でも、デジタルフィルタのカットオフ周波数は常に最適値に調整される。また、ATIPのPLL回路は、第2の通倍

クロック信号を動作クロックとしているので、ウォブル信号の中心周波数が変動したときには、これに比例してATIPのPLL回路の自走クロック周波数も変化される。その結果、ディスクの回転変動や偏心の影響によって、ウォブル信号の中心周波数が変動した場合でも、バイフェーズデータに対して、定常位相差の少ないバイフェーズクロックを発生させることができる。したがって、請求項1の記録タイミング制御回路による効果に加えて、ATIPデコードエラーの発生が少なくなるので、ATIP時間情報の信頼性が一層向上される。

【図面の簡単な説明】

【図1】この発明の光ディスク駆動装置について、その要部構成の実施の形態の一例を示す機能ブロック図である。

【図2】図1に示したCDエンコーダ7について、その要部構成の実施の形態の一例を示す機能ブロック図である。

【図3】図1に示したEFM出力タイミング制御回路13について、その要部構成の実施の形態の一例を示す機能ブロック図である。

【図4】図3に示したEFM出力タイミング制御回路13において、EFM出力タイミングの初期化を行う際の動作を説明するタイミングチャートである。

【図5】この発明の光ディスク駆動装置について、第2の実施の形態によるATIPデコード周辺回路の要部構成の実施の形態の一例を示す機能ブロック図である。

【図6】ATIPフレームのフォーマットについて、そのフレーム構成の一例を示す図である。

【図7】ATIP同期信号について、パターンの一例を示す図である。

【図8】CD-R/RWディスクのアリグループ中に含まれるATIP同期信号と、追記される記録情報に含まれるサブコードフレーム同期信号との位置関係を示す図である。

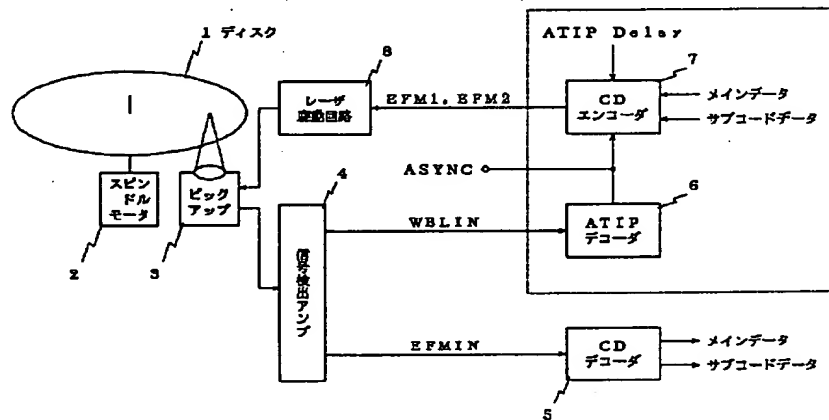
【図9】従来のCD-R/RWドライブにおける記録タイミング制御回路について、その要部構成の一例を示す機能ブロック図である。

【図10】図9に示した記録タイミング制御回路において、EFMエンコーダ41のタイミング初期化の動作を説明するタイミングチャートである。

【符号の説明】

1…ディスク、2…スピンドルモータ、3…ピックアップ、4…信号検出アンプ、5…CDデコーダ、6…ATIPデコーダ、7…CDエンコーダ、8…レーザ駆動回路

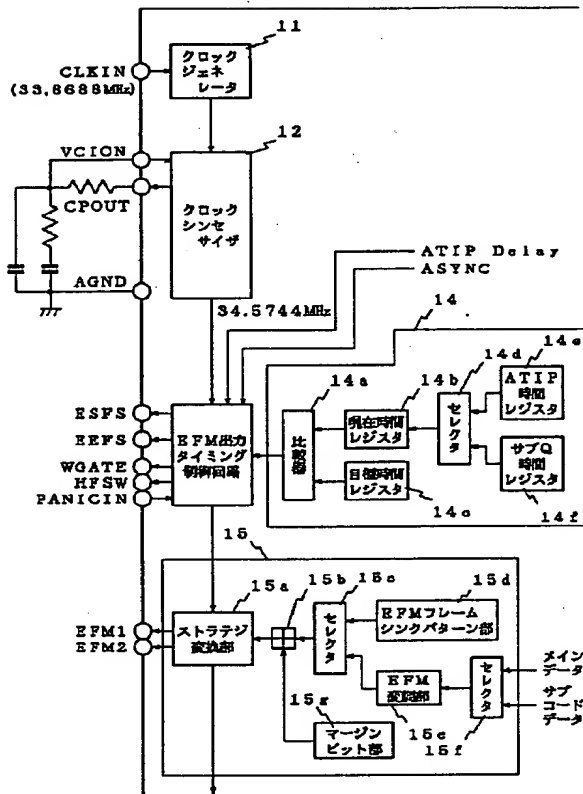
【図1】



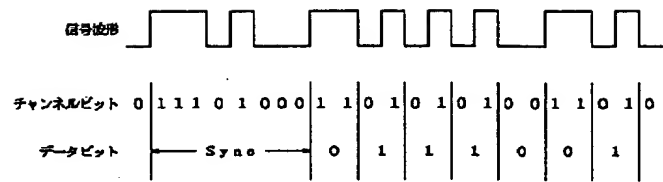
【図6】

ビット数	4	8	8	8	14
ビット位置	1234	56789012	11111112	22222222	29388339333444
データ	Sync	Minutes	Seconds	Frames	CRC remainder

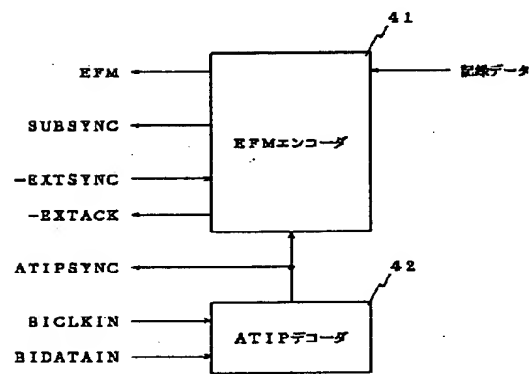
【図2】



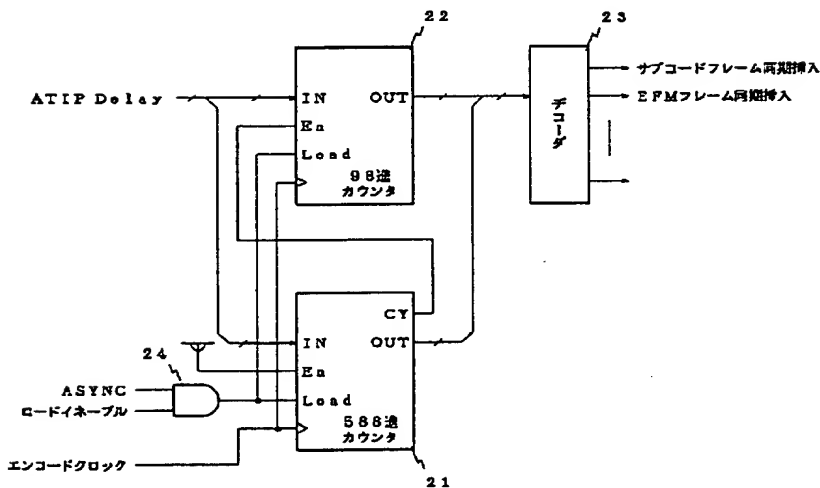
【図7】



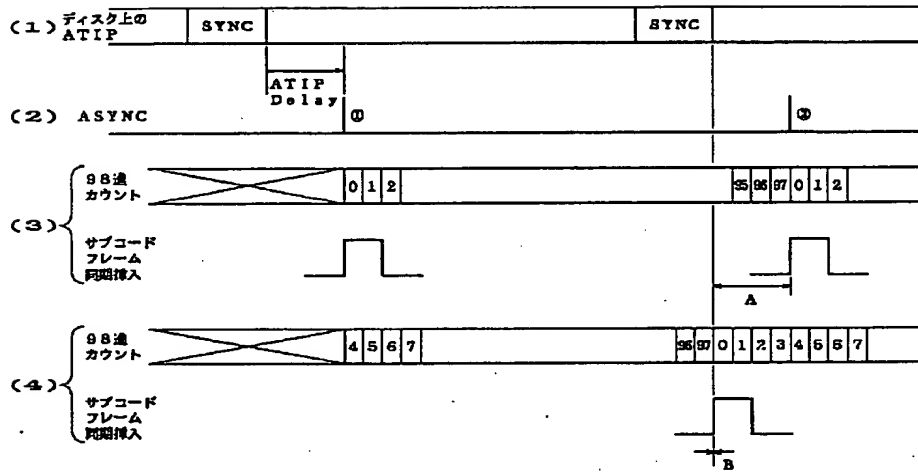
【図9】



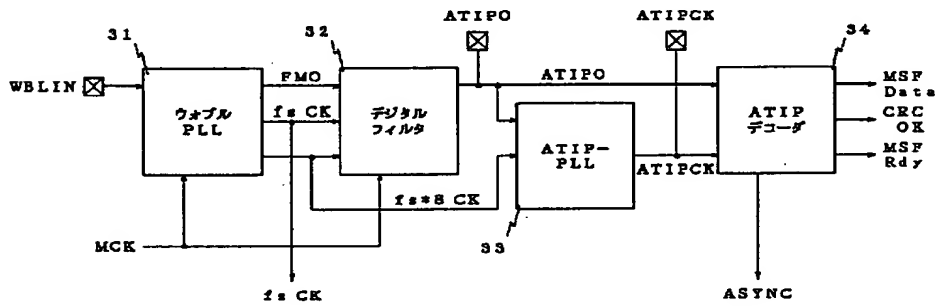
【図3】



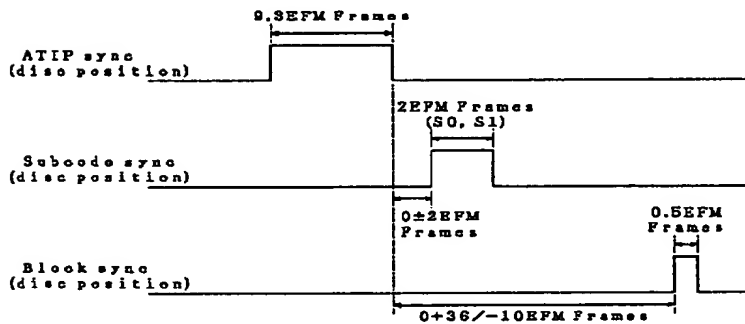
【図4】



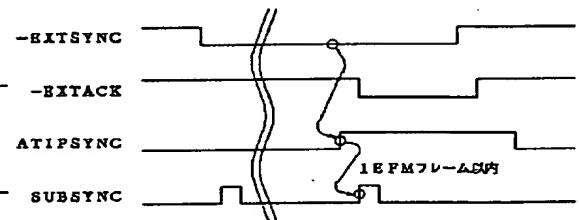
【図5】



【図8】



【図10】



拒絶理由通知書



特許出願の番号	特願2001-242737
起案日	平成15年 8月22日
特許庁審査官	宮下 誠 9296 5Q00
特許出願人代理人	伊東 忠彦 様
適用条文	第29条第2項、第36条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から3か月以内に意見書を提出して下さい。

理 由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の記事に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。
2. この出願は、明細書及び図面の記載が下記の点で、特許法第36条第4項及び第6項に規定する要件を満たしていない。

記 (引用例等については引用例等一覧参照)

理由1

(請求項1-8について) 引用例(イ)

引用例(イ)には、ATIP同期信号(本願発明の「ブロックアドレス情報を用いてECCブロックの境界を示すブロック境界信号」に相当)とサブコードフレーム同期信号(本願発明の「エンコーディングブロックの同期信号」に相当)との位置ズレ(本願発明の「位相差」に相当)が大きくなると再生が不可能になること、再生が可能である位置ズレを 0 ± 2 EFMフレームとする(本願発明の「許容範囲」に相当)ことが記載されている。

信号が許容範囲内か、又は進相しているか遅相しているかを判断するために、ウィンドウ信号を用いることは常とう手段であるから、引用例(イ)記載の方法、装置を本願発明のように構成することは、当業者が容易になし得ることと認められる。

また、記録可能な光ディスクとしてDVD-R、DVD-RW、DVD+RWは一般的である。

提出期限

DEC.-2.2003

理由 2

(イ) 請求項 3 には「AND 演算して境界が一致するか否かを検出する」との記載と詳細な説明の欄の記載とが、一致しない。また、進相状態及び遅相状態を示すウインドウ信号から、どのようにして境界が一致するか否かを検出できるのか不明瞭である。

(ロ) 請求項 7 では第 1 と第 2 のウインドウ信号とエンコーディングブロック同期信号を AND 演算して許容範囲外に位置するか否かを検出すると記載されているが、第 2 のウインドウ信号は請求項 6 に記載の通り許容範囲内に位置するか否かを検出する際に用いる信号であるから、第 1 と第 2 のウインドウ信号でどのようにして許容範囲外に位置するか否かを検出できるのか不明瞭である。また、詳細な説明の欄の記載とも一致しない。

引用例等一覧

(イ) 特開平 10-283658 号公報 (【0002】-【0019】等)

先行技術文献調査結果の記録

- ・ 調査した分野 I P C 第 7 版 G 1 1 B 2 0 / 1 2 - 2 0 / 1 6
 D B 名
- ・ 先行技術文献

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

拒絶理由通知に対する当方コメント
(特願2001-242737号)

1. 本願は、ディスク記録装置において、ECCブロック境界を跨いでデータが記録されると再生ができなくなるので、ブロック境界違反を検出する方法および検出装置を提供することを目的とし、「ECCブロックの境界を示すブロック境界信号」と「エンコーディングブロック同期信号」との位相差を検出し、「その位相差の大きさ」により境界の違反有無を検出する発明である。

これに対して、引用文献1は、光ディスク駆動装置において、ATIP同期信号とサブコードフレーム同期信号との位置ずれは、 0 ± 2 EFMフレームとされているところ、この同期信号の位置ずれが大きくなると、情報を追記した場合などに記録情報の重なり部が大きくなり、再生が不可能になるという問題があることから、その位置ずれを防止して再生不能が生じないようにすることを目的とし、「変調タイミング制御手段により、記録直前のプリグループ同期信号の検出時に、プリグループ同期信号検出タイミングと追記データ同期信号挿入タイミングとの位相を、可変可能な設定値に応じて所定位相に初期化する」発明である。

2. 今回の審査官の拒絶理由は、以下の理由によるものと思料されます。

(1) 拒絶理由1

本願請求項1の「ECCブロックの境界を示すブロック境界信号」と引用文献1の従来技術に記載されている、プリグループのウオブリック信号によって記録されている「ATIP同期信号」とは同義であり、また本願請求項1の「エンコーディングブロック同期信号」と引用文献1の従来技術に記載されている、追記された記録情報中の「サブコードフレーム同期信号」とは同義であること。さらに、本願請求項1の「位相差」と引用文献1の従来技術に記載されている、「位置ずれ」とは同義であることから、本願請求項1記載の発明は、引用文献1の従来技術と近似している。

また、本願の「許容範囲」と引用文献1の従来技術に記載されている、「 0 ± 2 EFMフレーム」とは同義であることから、本願請求項2などの記載において、「エンコーディングブロック同期信号」を許容範囲とすることは公知である。

また、本願請求項3などの記載において、「ブロック境界信号を基準として進相状態及び遅相状態を示すウインドウ信号（許容範囲を示す）を発生することは周知である。

さらに、本願請求項4、8記載のDVD-Rなどはディスクとして周知である。

（2）拒絶理由2

（イ）ウインドウ信号（記録許容範囲）は所定の許容幅を有するので、そのウインドウ信号とエンコーディングブロック同期信号とのAND演算により「境界が一致するか否か」の検出まではできない。

（ロ）第1ウインドウ信号（進相状態）及び第2ウインドウ信号（記録許容範囲）とエンコーディングブロック同期信号とのAND演算により「許容範囲外に位置するか否か」の検出をどのようにするか不明である。

3. 上記拒絶理由について検討したところ、

拒絶理由1は、尤もであると思料されます。なお、同期信号のずれを位相差の大きさにより検出することは一般的であると考えます。

拒絶理由2（イ）は、「境界が一致するか否か」を、例えば「境界の違反有無」に補正することにより解消可能と考えます。

拒絶理由2（ロ）は、「第2ウインドウ信号」を「第3ウインドウ信号」に補正することにより解消可能と考えます。

4. 請求項1又は請求項4の拒絶理由を解消するためには、他の特徴事項を加える必要があります。

しかしながら、境界の違反有無を検出するに当たり、記録許容範囲を示すウインドウ信号を用い、信号が「許容範囲」か「進相しているか遅相しているかを判断することにより行うのは、拒絶理由1における審査官の指摘にもあるように周知技術と思われるので、請求項1と請求項2又は請求項3との組み合わせでは、拒絶理由を解消することは困難と考えます。

また、周知事項である請求項4との組み合わせによっても、同様に拒絶理由を解消することは困難と考えます。

さらに、請求項6及び請求項7についても同様に拒絶理由を解消することは困難と考えます。

何かほかに見落としている事項などありましたら御教示をお願いいたします

。

以上